

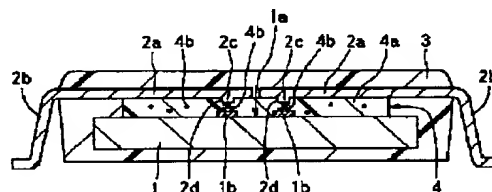


PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000164646 A**(43) Date of publication of application: **16 . 06 . 00**(51) Int. Cl. **H01L 21/60**(21) Application number: **10340574**(22) Date of filing: **30 . 11 . 98**(71) Applicant: **HITACHI LTD HITACHI HOKKAI
SEMICONDUCTOR LTD**(72) Inventor: **SATO YASUHARU****(54) SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF****(57) Abstract:**

PROBLEM TO BE SOLVED: To simplify a manufacturing process by realizing thinner and smaller LOC.

SOLUTION: A plurality of inner leads 2a, provided facing a pad 1b of a semiconductor chip 1 on the side of a circuit forming surface 1a of the semiconductor chip 1, an anisotropic conductive film 4 interposed between the circuit forming surface 1a of the semiconductor chip 1 and an inner lead 2a for joining the semiconductor chip 1 to the inner lead 2a, a package main body 3 formed by resin-sealing the semiconductor chip 1, and a plurality of outer leads 2b protruding above the package main body 3 while being electrically connected to the inner lead 2a, are provided. Here, the pad 1b of the semiconductor chip 1 and the inner lead 2a provided facing the pad 1b are electrically connected together with the anisotropic conductive film 4, without the use of a bonding wire for reduced thickness.



COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-164646
(P2000-164646A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/60	3 2 1	H 0 1 L 21/60	3 2 1 E 5 F 0 4 4
	3 1 1		3 1 1 Q

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21)出願番号 特願平10-340574

(22)出願日 平成10年11月30日(1998.11.30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72)発明者 佐藤 靖治

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74)代理人 100080001

弁理士 筒井 大和

Fターム(参考) 5F044 LL09 QQ01

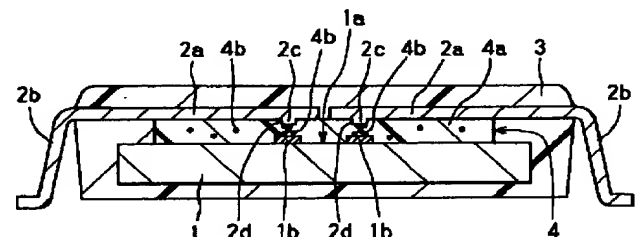
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 LOCにおいて薄形化および小形化を実現し、製造工程の簡略化を図る。

【解決手段】 半導体チップ1の回路形成面1a側に半導体チップ1のパッド1bと対向して配置された複数のインナリード2aと、半導体チップ1の回路形成面1aとインナリード2aとの間に介在して半導体チップ1とインナリード2aとを接合する異方性導電膜4と、半導体チップ1を樹脂封止して形成したパッケージ本体3と、パッケージ本体3から突出しかつインナリード2aと電気的に接続された複数のアウトリード2bとからなり、半導体チップ1のパッド1bとこのパッド1b上に対向して配置されたインナリード2aとが異方性導電膜4によって電気的に接続され、ボンディングワイヤを用いないことにより、薄形化を図ることができる。

図 1



1: 半導体チップ	2c: 接合部
1a: 回路形成面	2d: 突起部(荷重付与手段)
1b: パッド(表面電極)	3: パッケージ本体
2a: インナリード	4: 異方性導電膜
2b: アウタリード	

【特許請求の範囲】

【請求項 1】 半導体チップの回路形成面側に前記半導体チップの表面電極と対向して配置された複数のインナリードと、
前記半導体チップの前記回路形成面と前記インナリードとの間に介在して前記半導体チップと前記インナリードとを接合する異方性導電膜と、
前記インナリードと電気的に接続された外部端子である複数のアウトリードとを有し、
前記半導体チップの前記表面電極とこれに対向する前記インナリードとが前記異方性導電膜によって電気的に接続されていることを特徴とする半導体装置。

【請求項 2】 半導体チップの回路形成面側に前記半導体チップの表面電極と対向して配置された複数のインナリードと、
前記半導体チップの前記回路形成面と前記インナリードとの間に介在して前記半導体チップの前記表面電極とこれに対向する前記インナリードとを電気的に接続する異方性導電膜と、
前記半導体チップの前記回路形成面と前記インナリードとの間に介在して前記半導体チップと前記インナリードとを接合する絶縁性粘着シートと、
前記インナリードと電気的に接続された外部端子である複数のアウトリードとを有し、
前記半導体チップの前記表面電極とこれに対向する前記インナリードとが前記異方性導電膜によって電気的に接続されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 記載の半導体装置であって、前記異方性導電膜を熱圧着または加圧保持して前記半導体チップの前記表面電極と前記インナリードとを前記異方性導電膜によって電気的に接続する際に前記異方性導電膜に荷重を与える荷重付与手段が、前記インナリードまたは前記半導体チップの前記表面電極もしくはその両者に設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置であって、前記荷重付与手段として、前記異方性導電膜によって前記半導体チップの前記表面電極と電気的に接合する前記インナリードの接合部に前記半導体チップの前記回路形成面側に突出する突起部が形成されていることを特徴とする半導体装置。

【請求項 5】 請求項 3 記載の半導体装置であって、前記荷重付与手段として、前記異方性導電膜によって前記半導体チップの前記表面電極と電気的に接合する前記インナリードの接合部に前記半導体チップの前記回路形成面側に突出するパンプ電極が形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 3、4 または 5 記載の半導体装置であって、前記荷重付与手段として、前記半導体チップの前記表面電極が前記回路形成面よりも突出して形成さ

れていることを特徴とする半導体装置。

【請求項 7】 複数のインナリードとそれぞれの前記インナリードに連なった複数のアウトリードとを備え、前記インナリードに異方性導電膜が張り付けられたリードフレームを準備する工程と、
回路形成面に半導体集積回路が形成された半導体チップを準備する工程と、
前記半導体チップの前記回路形成面と前記インナリードとを前記異方性導電膜を介して対向させて配置する工程と、
前記異方性導電膜を熱圧着または加圧保持して前記半導体チップの前記回路形成面と前記インナリードとを前記異方性導電膜によって接合し、前記半導体チップの前記表面電極とこれに対向する前記インナリードとを前記異方性導電膜によって電気的に接続する工程と、
前記半導体チップを樹脂封止してパッケージ本体を形成する工程と、
前記パッケージ本体から突出する前記アウトリードを前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 複数のインナリードとそれぞれの前記インナリードに連なった複数のアウトリードとを備え、前記インナリードに異方性導電膜および絶縁性粘着シートが張り付けられたリードフレームを準備する工程と、
回路形成面に半導体集積回路が形成された半導体チップを準備する工程と、
前記半導体チップの前記回路形成面と前記インナリードとを前記異方性導電膜および前記絶縁性粘着シートを介して対向させて配置する工程と、
前記異方性導電膜および前記絶縁性粘着シートを熱圧着または加圧保持して前記半導体チップの前記回路形成面と前記インナリードとを前記絶縁性粘着シートによって接合し、前記半導体チップの前記表面電極とこれに対向する前記インナリードとを前記異方性導電膜によって電気的に接続する工程と、
前記半導体チップを樹脂封止してパッケージ本体を形成する工程と、
前記パッケージ本体から突出する前記アウトリードを前記リードフレームから分離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 7 または 8 記載の半導体装置の製造方法であって、前記異方性導電膜を熱圧着または加圧保持して前記半導体チップの前記表面電極と前記インナリードとを前記異方性導電膜によって電気的に接続する際に、前記インナリードまたは前記半導体チップの前記表面電極もしくはその両者に設けられた荷重付与手段によって前記異方性導電膜に荷重を与えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に、LOC (Lead On Chip) 構造の半導体装置の薄形化と製造工程の簡略化に適用して有効な技術に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】表面実装形の半導体装置の1つにLOC構造の半導体装置（以降、単にLOCと呼ぶ）がある。このLOCは、半導体チップの主面側つまり回路形成面側にフィルム状の絶縁性粘着シートを介してインナリードを配置し、このインナリードと半導体チップのパッド（表面電極）とをAu線などのボンディングワイヤによって電氣的に接続する構造になっている。

【0004】さらに、LOCでは、電源やグランド用のリードであるバスバーリードが設けられた構造のものが多い。

【0005】したがって、LOCのワイヤボンディングでは、ワイヤループを行う際にバスバーリード越えの特殊形状のループを形成する場合がある。

【0006】また、絶縁性粘着シートによって半導体チップをインナリードに固定するタイプのLOCでは、その製造工程でボンディングステージとボンディングツールを使用し、熱圧着によって絶縁性粘着シートを介してインナリードと半導体チップとを接合している。

【0007】なお、半導体チップの回路形成面（主面）側に複数のインナリードが絶縁シートを介して配置されたLOCについては、例えば、特開昭61-218139号公報に記載されている。

【0008】

【発明が解決しようとする課題】ところが、前記した技術のLOCにおいては、ボンディングワイヤがバスバーリード越えの特殊形状のループを形成しているため、ワイヤループの高さが高くなり、これにより、パッケージ本体を薄く形成することができない。

【0009】したがって、LOCの薄形化や小形化の実現が困難であることが問題とされる。

【0010】さらに、バスバーリード越えの特殊形状のワイヤループが形成されているため、隣あったワイヤ間でショートが発生し易く、その結果、LOCの信頼性を低下させることが問題となる。

【0011】本発明の目的は、薄形化および小形化を実現し、製造工程の簡略化を図る半導体装置およびその製造方法を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】すなわち、本発明の半導体装置は、半導体チップの回路形成面側に前記半導体チップの表面電極と対向して配置された複数のインナリードと、前記半導体チップの前記回路形成面と前記インナリードとの間に介在して前記半導体チップと前記インナリードとを接合する異方性導電膜と、前記インナリードと電氣的に接続された外部端子である複数のアウトリードとを有し、前記半導体チップの前記表面電極とこれに対向する前記インナリードとが前記異方性導電膜によって電氣的に接続されているものである。

【0015】これにより、LOCにおいてワイヤボンディングを行わなくて済み、その結果、パッケージ本体を薄く形成することができる。

【0016】したがって、LOCの薄形化および小形化を実現することが可能になる。

【0017】また、本発明の半導体装置の製造方法は、複数のインナリードとそれぞれの前記インナリードに連なった複数のアウトリードとを備え、前記インナリードに異方性導電膜が張り付けられたリードフレームを準備する工程と、回路形成面に半導体集積回路が形成された半導体チップを準備する工程と、前記半導体チップの前記回路形成面と前記インナリードとを前記異方性導電膜を介して対向させて配置する工程と、前記異方性導電膜を熱圧着または加圧保持して前記半導体チップの前記回路形成面と前記インナリードとを前記異方性導電膜によって接合し、前記半導体チップの前記表面電極とこれに対向する前記インナリードとを前記異方性導電膜によって電氣的に接続する工程と、前記半導体チップを樹脂封止してパッケージ本体を形成する工程と、前記パッケージ本体から突出する前記アウトリードを前記リードフレームから分離する工程とを有するものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】図1は本発明の半導体装置であるLOCの構造の実施の形態の一例を示す断面図、図2は図1に示すLOCの内部の構造をパッケージ本体を透過して示す平面図、図3は本発明の半導体装置（LOC）の製造方法における半導体ウェハの構造の一例を示す部分断面図、図4は本発明の半導体装置（LOC）の製造方法における熱圧着の一例を示す断面図、図5は本発明の半導体装置（LOC）の製造方法の手順の一例を示す製造プロセス図である。

【0020】本実施の形態の半導体装置は、例えば、パーソナルコンピュータやワークステーション、あるいは、小形テレビ電話や携帯電子機器などに組み込まれる表面実装形LSI (Large Scale Integration) パッケージの一種であり、図1に示すように、パッケージ本体3

内に封止された半導体チップ1の主面側である回路形成面1a側に複数のインナリード2aが配置された樹脂封止形のLOC構造のものである。

【0021】さらに、前記半導体装置の外観構造は、アウトリード2bがガルウィング状に曲げ形成されたSOP (Small Outline Package) などと同様のものである。

【0022】図1、図2に示す本実施の形態のLOCの構成について説明すると、半導体チップ1の回路形成面1a側に半導体チップ1のパッド1b (表面電極) と対向して配置された複数のインナリード2aと、半導体チップ1の回路形成面1aとインナリード2aとの間に介在して半導体チップ1とインナリード2aとを接合する異方性導電膜4と、半導体チップ1を樹脂封止して形成したパッケージ本体3と、パッケージ本体3から突出し、かつインナリード2aと電気的に接続された外部端子である複数のアウトリード2bとからなり、半導体チップ1のパッド1bとこのパッド1b上に対向して配置されたインナリード2aとが異方性導電膜4によって電気的に接続されているものである。

【0023】ここで、異方性導電膜4は、ACF (Anisotropic Conductive Film) と呼ばれ、樹脂材4a中にカーボンブラック、ニッケル微粒子またはボールはんだなどの導電粒子4bを分散して含有させたシート状の電気接続材料であり、接続したい対向電極間に異方性導電膜4を挟み、熱圧着または加圧保持して面方向の絶縁を保持しつつ、厚み方向の電極間の電気的接続を行うものである。

【0024】異方性導電膜4の厚さは、例えば、15～35 μ m、シートの大きさは、例えば、図4に示すように、ボンディングツール5により一括して加圧・加熱が可能なようにボンディングツール5の加圧面とほぼ同様の大きさのものである。

【0025】さらに、導電粒子4bの粒子径は、例えば、数 μ m～数十 μ mである。樹脂材4aは、信頼性などを考慮して熱可塑性樹脂、熱硬化性樹脂もしくは半熱硬化性樹脂などである。

【0026】本実施の形態では、異方性導電膜4を熱圧着 (加圧・加熱) し、これにより、半導体チップ1のパッド1bとインナリード2aとを異方性導電膜4によって電気的に接続する場合を説明する。

【0027】そこで、前記熱圧着時に異方性導電膜4に荷重を与える荷重付与手段が、インナリード2aまたは半導体チップ1のパッド1bもしくはその両者に設けられていることが好ましく、本実施の形態では、前記荷重付与手段が、インナリード2aと半導体チップ1のパッド1bとに設けられている場合を説明する。

【0028】すなわち、インナリード2a側の前記荷重付与手段として、異方性導電膜4によって半導体チップ1のパッド1bと電気的に接合するインナリード2aの接合部2cに半導体チップ1の回路形成面1a側に突出

する突起部2dが形成されている。

【0029】なお、インナリード2aの突起部2dは、例えば、コイニングなどの加工方法によって形成するものであるが、その加工方法は、コイニングに限定されるものではない。

【0030】一方、半導体チップ1側の前記荷重付与手段として、半導体チップ1のパッド1bが回路形成面1aよりも突出して形成されている。

【0031】これは、図3に示すように、半導体ウェハ7の状態において各半導体チップ1におけるアルミニウムのパッド1bを、複数回蒸着などを行って回路形成面1aよりも突出するように厚く形成するものである。

【0032】ただし、パッド1bを回路形成面1aよりも突出するように厚く形成した際には、アルミニウムのパッド1bの表面は露出するため、酸化し易い。

【0033】したがって、酸化防止のために、パッド1bの表面に金めっきなどの金属コーティングを施すことが好ましい。

【0034】なお、インナリード2aの接合部2cに突起部2dが形成され、かつ、半導体チップ1のパッド1bを回路形成面1aより突出させて形成することにより、異方性導電膜4を熱圧着してこれに荷重を付与しようとした際に、確実に異方性導電膜4に荷重を掛けることができ、その結果、異方性導電膜4によるインナリード2aと半導体チップ1のパッド1bとの電気的接続をより確実に行うことができる。

【0035】また、本実施の形態のLOCは、インナリード2aと半導体チップ1のパッド1bとをこれらの間に介在する異方性導電膜4によって電気的に接続するものである。

【0036】したがって、各インナリード2aは、その接合部2cが、半導体チップ1のパッド1b上にほぼ対向して配置されている必要がある。

【0037】本実施の形態では、半導体チップ1のパッド1bとこれに対応するインナリード2aの端部の接合部2cとが、パッド1b上で対向して配置されなければならない。

【0038】したがって、本実施の形態のLOCにおいては、従来のLOCより、図2に示すように、各インナリード2aのパッケージ本体中央側の端部の長さを長く形成することになる。

【0039】これにより、半導体チップ1のパッド1bとこれに対応かつ対向するインナリード2aとを異方性導電膜4を介して電気的に接続することができる。

【0040】さらに、インナリード2aと異方性導電膜4とは、直接は接合しにくいいため、インナリード2aの異方性導電膜4との接合箇所、ポリイミド系の絶縁コーティングなどを施すことが好ましい。

【0041】なお、インナリード2aやアウトリード2bは、例えば、銅あるいは鉄-ニッケル合金などからな

る厚さ0.15～0.2mm程度のリードフレーム2（図4参照）に形成されているものであり、図1、図2に示すLOCは、このリードフレーム2を用いて製造したものである。

【0042】また、本実施の形態のLOCでは、半導体チップ1とインナリード2aとの接合（電氣的接合と機械的接合）において、異方性導電膜4のみを用いている。

【0043】つまり、異方性導電膜4の熱圧着を行った際に、熱硬化性の樹脂材4aによって半導体チップ1をインナリード2aに接合し、これにより、半導体チップ1は異方性導電膜4を介してインナリード2aに固定されている。

【0044】また、前記LOCにおけるパッケージ本体3は、例えば、エポキシ系の熱硬化性の封止用樹脂を用いて、トランスファーモールド法などによって形成したものである。

【0045】次に、図5に示す製造手順に基づいて、本実施の形態によるLOC（半導体装置）の製造方法について説明する。

【0046】まず、複数のインナリード2aとそれぞれのインナリード2aに連なった複数のアウトリード2bとを備え、インナリード2aに予め異方性導電膜4が張り付けられたリードフレーム2を準備する。

【0047】なお、本実施の形態では、異方性導電膜4の熱圧着時に異方性導電膜4に荷重（ここでの荷重は、ボンディングツール5による荷重をパッド1bごとに集中させた荷重）を与える荷重付手段がインナリード2aと半導体チップ1のパッド1bとに設けられている場合を説明する。

【0048】すなわち、リードフレーム2のインナリード2aの接合部2cには、荷重付手段として半導体チップ1の回路形成面1a側に突出する突起部2dが形成され、また、半導体チップ1においては、荷重付手段としてパッド1bが回路形成面1aより突出するように厚く形成されている。

【0049】その後、図5のステップS1に示すように、リードフレーム供給を行うとともに、主面である回路形成面1aに半導体集積回路が形成された半導体チップ1の供給である半導体チップ供給を行う（ステップS2）。

【0050】なお、リードフレーム2に対しては、これをチップマウント装置のマウント位置まで搬送する前に予め除湿処理を行っておく。

【0051】その後、半導体チップ1の回路形成面1aとインナリード2aとを異方性導電膜4を介して対向させて配置する。

【0052】その際、まず、除湿されたリードフレーム2を、その異方性導電膜4が貼り付けられた側の面を下方（ボンディングステージ6側）に向けてチップマウン

ト装置のボンディングステージ6のマウント位置まで搬送する。

【0053】この時、ボンディングステージ6とボンディングツール5を予め所定温度に加熱しておく。

【0054】一方、ダイシング後の半導体ウェハ7から半導体チップ1をピックアップし、ボンディングステージ6上に回路形成面1aを上方に向けて載置する。

【0055】続いて、カメラなどの位置認識手段によってリードフレーム2のインナリード2aの接合部2cの位置と、半導体チップ1のパッド1bの位置とを検出し、この検出結果に基づいてボンディングステージ6により半導体チップ1の位置を補正する。

【0056】これにより、半導体チップ1を前記マウント位置に移動させる。

【0057】この状態で、半導体チップ1のパッド1bとこれに対応するインナリード2aとが、パッド1b上にインナリード2aの接合部2cが対向した状態で配置される。

【0058】その後、異方性導電膜4を熱圧着して半導体チップ1の回路形成面1aとインナリード2aとを異方性導電膜4によって接合するチップマウントを行い（ステップS3）、これとともに、半導体チップ1のパッド1bとこれに対向するインナリード2aとを異方性導電膜4によって電氣的に接続する。

【0059】その際、図4に示すように、まず、ボンディングステージ6を所定位置まで上昇させ、これとともに、ボンディングツール5を下降させ、これにより、半導体チップ1およびインナリード2aをボンディングツール5とボンディングステージ6とによってクランプする。

【0060】この時、異方性導電膜4は、インナリード2aと半導体チップ1の回路形成面1aとの間に配置されている。

【0061】続いて、ボンディングツール5を僅かに下降させて、異方性導電膜4に所定の荷重を掛ける。この時、異方性導電膜4は、例えば、180℃程度に加熱された状態となっている。

【0062】さらに、インナリード2aの突起部2dと半導体チップ1の回路形成面1aより突出して形成されたパッド1bとにより、異方性導電膜4に対しては、各パッド1b位置において集中した荷重が加わり、これにより、異方性導電膜4中の導電粒子4bが半導体チップ1の各パッド1bに対して集中する。

【0063】その結果、半導体チップ1のパッド1bとインナリード2aの接合部2cとを異方性導電膜4を介して電氣的に接続することができる。

【0064】さらに、異方性導電膜4の樹脂材4aにより、インナリード2aと半導体チップ1の回路形成面1aとが接合され、その結果、異方性導電膜4を介して半導体チップ1をインナリード2aによって支持すること

ができる。

【0065】チップマウント後、エポキシ系の熱硬化性の封止用樹脂などを用いて半導体チップ1を樹脂封止してパッケージ本体3を形成する。

【0066】すなわち、図5に示す封止用樹脂供給（ステップS4）を行い、これにより、半導体チップ1の樹脂封止を行う（ステップS5）。

【0067】モールド終了後、リード成形を行う（ステップS6）。

【0068】つまり、パッケージ本体3から突出するアウトリード2bを切断成形金型（図示せず）を用いて切断して、パッケージ本体3を含むアウトリード2bをリードフレーム2から分離するとともに、アウトリード2bを所望の形状（本実施の形態ではガルウィング状）に曲げ成形する。

【0069】その後、LOCに対して所定の検査を行う（ステップS7）。

【0070】これにより、図1、図2に示すLOCの製造を終了する。

【0071】本実施の形態のLOC（半導体装置）およびその製造方法によれば、以下のような作用効果が得られる。

【0072】すなわち、LOCにおいて半導体チップ1のパッド1bとインナリード2aとが異方性導電膜4によって電気的に接続されていることにより、ワイヤボンディングを行わなくて済む。

【0073】これにより、ボンディングワイヤを用いないため、パッケージ本体3を薄く形成することができ、その結果、LOCの薄形化および小形化を実現することが可能になる。

【0074】さらに、ボンディングワイヤを用いないため、ワイヤショートを無くすることができる。

【0075】その結果、LOCの信頼性の向上を図ることができる。

【0076】また、ボンディングワイヤを用いないため、ワイヤボンディング工程を削除することができ、その結果、LOCの製造工程の簡略化を実現できる。

【0077】これにより、LOCの製造コストを低減することができる。

【0078】なお、ボンディングワイヤの代わりとして異方性導電膜4を用いることにより、半導体チップ1のパッド1bとインナリード2aとの電気的接続の際に、異方性導電膜4の熱圧着により複数のパッド1bに対して一括してインナリード2aとの電気的接続を行うことができる。

【0079】したがって、半導体チップ1のパッド1bとインナリード2aとの電気的接続処理をパッチ処理することができ、これにより、半導体チップ1のパッド1bのインナリード2aへの電気的接続工程を時間短縮することができ、その結果、LOCの製造工程における時

間的短縮化を図ることが可能になる。

【0080】また、ボンディングワイヤの代わりとして異方性導電膜4を用い、かつチップマウントの際にボンディングステージ6とボンディングツール5を用いることにより、チップマウント時にこれと同時に半導体チップ1のパッド1bとインナリード2aとの異方性導電膜4による電気的接続も行うことが可能になる。

【0081】したがって、チップマウント処理（ペ付けともいう）と、半導体チップ1のパッド1bのインナリード2aへの電気的接続処理とを同時に行うことができ、その結果、LOCの製造工程の簡略化を図ることができる。

【0082】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0083】例えば、前記実施の形態では、インナリード2aによる半導体チップ1の支持が異方性導電膜4のみによって行われる場合を説明したが、図6(a)、(b)に示す他の実施の形態のLOCのように、インナリード2aへの半導体チップ1の固定を絶縁性粘着シート8を介して行ってもよい。

【0084】ここで、図6に示すLOCの図1に示すLOCとの相違点は、半導体チップ1のインナリード2aへの固定に絶縁性粘着シート8を用いている点である。

【0085】なお、絶縁性粘着シート8は、例えば、フィルム状のポリイミドテープ基材の両面に接着層が形成された絶縁性のテープ材である。

【0086】これにより、図6に示すLOCは、半導体チップ1の回路形成面1aとインナリード2aとの間に介在する絶縁性粘着シート8を有するものであり、この絶縁性粘着シート8によって半導体チップ1とインナリード2aとの接合を行っている。つまり、インナリード2aによって半導体チップ1を支持する際に、予めインナリード2aに張り付けられた絶縁性粘着シート8を介して半導体チップ1を支持するものである。

【0087】なお、図6に示すLOCにおいて、半導体チップ1のパッド1bとインナリード2aとの電気的接続は異方性導電膜4によって行われる。

【0088】したがって、図6に示すLOCの製造工程では、ボンディングステージ6とボンディングツール5とによって半導体チップ1およびインナリード2aをクランプした際に、半導体チップ1とインナリード2aとの間に異方性導電膜4と絶縁性粘着シート8とが介在され、これにより、異方性導電膜4および絶縁性粘着シート8を加熱・加圧（熱圧着）し、その結果、半導体チップ1のパッド1bとインナリード2aの接合部2cとを異方性導電膜4によって電気的に接続するとともに、半導体チップ1の回路形成面1aとインナリード2aとを

絶縁性粘着シート 8 によって接合する。

【0089】これにより、インナリード 2 a による半導体チップ 1 の支持を確実に行うことができる。

【0090】また、図 7 (a), (b) の他の実施の形態に示すように、荷重付与手段として、バンプ電極 9 を用いてもよい。

【0091】すなわち、図 7 に示す LOC は、荷重付与手段としてインナリード 2 a の接合部 2 c に半田や金などの導電性のバンプ電極 9 を取付け、かつ、このバンプ電極 9 に異方性導電膜 4 を張り付け、異方性導電膜 4 の熱圧着時にバンプ電極 9 によって異方性導電膜 4 に荷重を掛けるものである。

【0092】なお、バンプ電極 9 の取り付けについては、予めインナリード 2 a の接合部 2 c に取り付けてもよいし、図 8 (a), (b) に示す他の実施の形態の LOC のように、予め半導体チップ 1 のパッド 1 b 上に形成してもよい。

【0093】ここで、図 8 (a), (b) に示す LOC は、半導体チップ 1 の中央にパッド 1 b が 1 列に配置されたものであり、かつ、LOC の製造工程（前工程）においてバンプ電極 9 を予め半導体チップ 1 のパッド 1 b 上に形成したものである。

【0094】また、図 1 に示す LOC は、図 9 および図 10 に示す他の実施の形態の LOC のように片面モールド構造にすることもできる。

【0095】すなわち、前記実施の形態の LOC は、インナリード 2 a を半導体チップ 1 のパッド 1 b 上に配置して両者を異方性導電膜 4 によって電気的に接続する構造であるため、従来の LOC と比較すると、インナリード 2 a のパッケージ本体 3 中央側の端部の長さを長く形成しており、これが図 1 に示す本実施の形態の LOC である。

【0096】これにより、インナリード 2 a が従来の LOC のものより長くなるため、パッケージ本体 3 へのインナリード 2 a の埋込み量を増やすことができる。

【0097】したがって、LOC を片面モールド構造とした際にも、従来の片面モールド構造の LOC と比べて、インナリード 2 a と繋がるアウトリード 2 b の支持強度を向上できる。

【0098】これにより、図 9 および図 10 に示すような片面モールド構造の LOC を実現できる。

【0099】したがって、片面モールド構造の LOC においてリードフレーム 2 の切断成形時や搬送時などに発生し易いアウトリード 2 b の破損を低減できる。

【0100】その結果、片面モールド構造の LOC においても信頼性を向上できる。

【0101】さらに、片面モールド構造の場合、図 10 に示す LOC のように、半導体チップ 1 の背面（回路形成面 1 a と反対側の面）1 c にヒートシンク 10 を取り付けることが可能になり、その結果、小形（薄形）ヒ-

トシンクパッケージを実現させることができる。

【0102】また、図 1、図 2 に示す前記実施の形態の LOC と、図 6～図 10 に示す他の実施の形態の LOC とにおいては、バスバーリードを有していない場合を説明したが、前記バスバーリードを備えていても良く、その際、バスバーリードに突起部 2 d などの荷重付与手段を設けてもよい。

【0103】さらに、図 1、図 2 に示す前記実施の形態の LOC と、図 6～図 10 に示す他の実施の形態の LOC とにおいては、アウトリード 2 b がガルウィング状に形成されている場合を説明したが、アウトリード 2 b の形状は、ガルウィング状に限ることなく、ガルウィング状以外の J 字形（この際の LOC の外観形状は、SOJ (Small Outline J-leaded Package) となる）などであってもよい。

【0104】なお、片面モールド構造の LOC の場合には、CSP (Chip Scale Package) や LGA (Land Grid Array) に適用することも可能である。

【0105】また、図 1、図 2 に示す前記実施の形態の LOC と、図 6～図 10 に示す他の実施の形態の LOC とにおいては、異方性導電膜 4 を熱圧着する場合について説明したが、異方性導電膜 4 の接合については、熱圧着に限ることなく、異方性導電膜 4 が有する樹脂材 4 a によっては加圧保持のみであってもよい。

【0106】なお、図 1、図 2 に示す前記実施の形態の LOC と、図 6～図 10 に示す他の実施の形態の LOC とにおいては、リードフレーム 2 に、予め異方性導電膜 4、または異方性導電膜 4 と絶縁性粘着シート 8 とが貼り付けられている場合を説明したが、それぞれの部材（リードフレーム 2 と異方性導電膜 4 と絶縁性粘着シート 8）を別々に搬入して、LOC の製造工程として、リードフレーム 2 に異方性導電膜 4 を張り付ける工程、もしくはリードフレーム 2 に異方性導電膜 4 と絶縁性粘着シート 8 とを張り付ける工程から開始してもよい。

【0107】また、図 1、図 2 に示す前記実施の形態の LOC と、図 6～図 10 に示す他の実施の形態の LOC とにおいては、インナリード 2 a や半導体チップ 1 に荷重付与手段が設けられている場合を説明したが、前記荷重付与手段は必ずしも設けられていなくてもよい。

【0108】さらに、図 1、図 2 に示す前記実施の形態の LOC と、図 6～図 10 に示す他の実施の形態の LOC とにおける異方性導電膜 4 の大きさは、ボンディングツール 5 の加圧面とほぼ同じ大きさであるが、異方性導電膜 4 の大きさは、これに限定されるものではなく、図 6～図 8 に示す LOC のように種々の大きさのものを用いることが可能であり、かつ 1 つの LOC で用いる異方性導電膜 4 の枚数も 1 枚に限定されるものではなく、図 6 や図 7 に示す LOC のように、インナリード 2 a の本数やその配置などに応じて複数枚の異方性導電膜 4 を有していてもよい。

【0109】また、図1、図2に示す前記実施の形態のLOCと、図6～図10に示す他の実施の形態のLOCとにおいては、半導体チップ1のパッド1bの配列が中央2列配列もしくは中央1列配列の場合を説明したが、パッド1bの配列は、各パッド1b上にインナリード2aの接合部2cが対向して配置されていれば、他の配列、すなわち外周配列などであってもよい。

【0110】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0111】(1)．LOCにおいて半導体チップの表面電極とインナリードとが異方性導電膜によって電気的に接続されていることにより、ワイヤボンディングを行わなくて済み、これにより、ボンディングワイヤを用いないため、パッケージ本体を薄く形成することができる。その結果、LOCの薄形化および小形化を実現することが可能になる。

【0112】(2)．ボンディングワイヤを用いないため、ワイヤショートを無くすることができる。その結果、LOCの信頼性の向上を図ることができる。さらに、ワイヤボンディング工程を削除することができ、その結果、LOCの製造工程の簡略化を実現できる。これにより、LOCの製造コストを低減することができる。

【0113】(3)．ボンディングワイヤの代わりとして異方性導電膜を用いることにより、半導体チップの表面電極とインナリードとの電気的接続の際に、異方性導電膜の熱圧着により複数の表面電極に対して一括してインナリードとの電気的接続を行うことができる。したがって、半導体チップの表面電極とインナリードとの電気的接続処理をパッチ処理することができ、これにより、LOCの製造工程における時間的短縮化を図ることが可能になる。

【0114】(4)．ボンディングワイヤの代わりとして異方性導電膜を用いることにより、チップマウント時にこれと同時に半導体チップとインナリードとの電気的接続も行うことが可能になる。したがって、チップマウント処理と、半導体チップのインナリードへの電気的接続処理とを同時に行うことができ、その結果、LOCの製造工程の簡略化を図ることができる。

【0115】(5)．前記LOCは、インナリードと半導体チップの表面電極とを異方性導電膜によって電気的に接続する構造であるため、従来のLOCと比較してインナリードのパッケージ本体中央側の端部の長さを長く形成することになる。これにより、インナリードが長くなるため、パッケージ本体へのインナリードの埋込み量を増やすことができる。したがって、LOCを片面モールド構造とした際には、従来の片面モールド構造のLOCと比べて、アウトリードの支持強度を向上でき、これにより、片面モールド構造のLOCのアウトリードの破

損を低減できる。その結果、片面モールド構造のLOCにおいても信頼性を向上できる。

【図面の簡単な説明】

【図1】本発明の半導体装置であるLOCの構造の実施の形態の一例を示す断面図である。

【図2】図1に示すLOCの内部の構造をパッケージ本体を透過して示す平面図である。

【図3】本発明の半導体装置(LOC)の製造方法における半導体ウェハの構造の一例を示す部分断面図である。

【図4】本発明の半導体装置(LOC)の製造方法における熱圧着の一例を示す断面図である。

【図5】本発明の半導体装置(LOC)の製造方法の手順の一例を示す製造プロセス図である。

【図6】(a)、(b)は本発明の他の実施の形態の半導体装置(LOC)におけるチップマウント後の構造を示す図であり、(a)は部分平面図、(b)は部分断面図である。

【図7】(a)、(b)は本発明の他の実施の形態の半導体装置(LOC)におけるチップマウント後の構造を示す図であり、(a)は部分平面図、(b)は部分断面図である。

【図8】(a)、(b)は本発明の他の実施の形態の半導体装置(LOC)におけるチップマウント後の構造を示す図であり、(a)は部分平面図、(b)は部分断面図である。

【図9】本発明による半導体装置(LOC)の他の実施の形態の構造を示す断面図である。

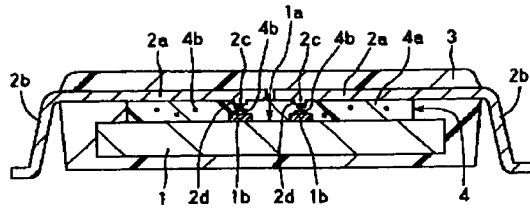
【図10】本発明による半導体装置(LOC)の他の実施の形態の構造を示す断面図である。

【符号の説明】

- 1 半導体チップ
- 1a 回路形成面
- 1b パッド(表面電極)
- 1c 背面
- 2 リードフレーム
- 2a インナリード
- 2b アウトリード
- 2c 接合部
- 2d 突起部(荷重付与手段)
- 3 パッケージ本体
- 4 異方性導電膜
- 4a 樹脂材
- 4b 導電粒子
- 5 ボンディングツール
- 6 ボンディングステージ
- 7 半導体ウェハ
- 8 絶縁性粘着シート
- 9 バンプ電極(荷重付与手段)
- 10 ヒートシンク

【図1】

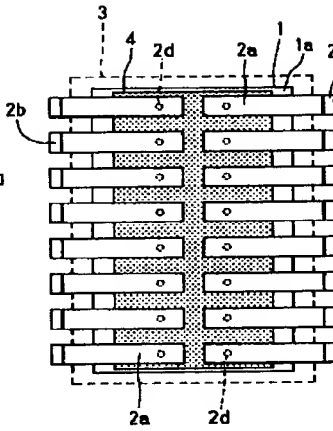
図1



- 1: 半導体チップ
1a: 回路形成面
1b: パッド(表面電極)
2a: インナリード
2b: アウタリード
2c: 接合部
2d: 突起部(荷重付与手段)
3: パッケージ本体
4: 異方性導電膜

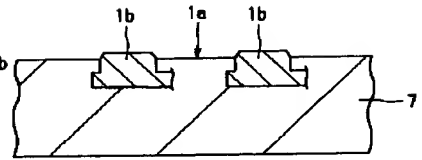
【図2】

図2



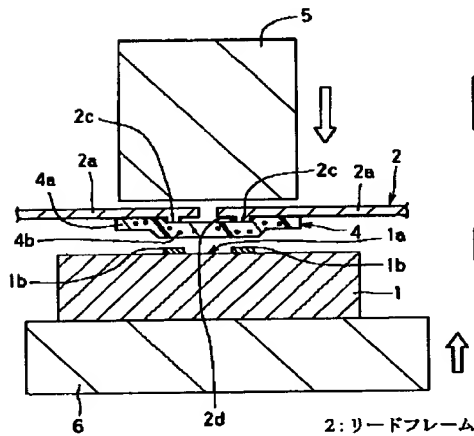
【図3】

図3



【図4】

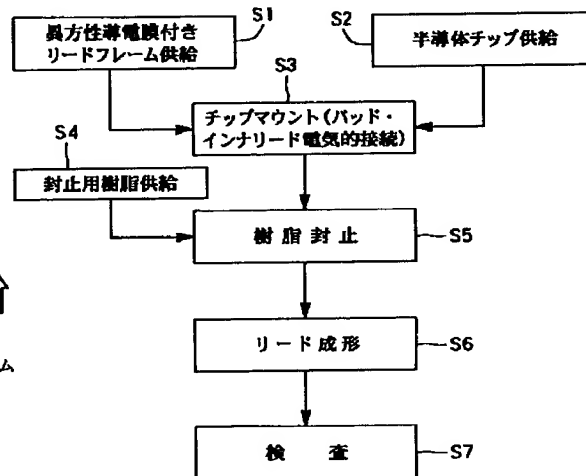
図4



2: リードフレーム

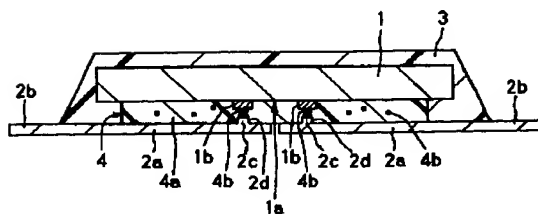
【図5】

図5



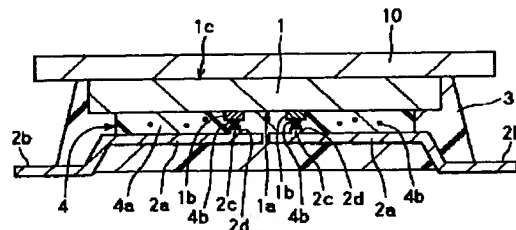
【図9】

図9

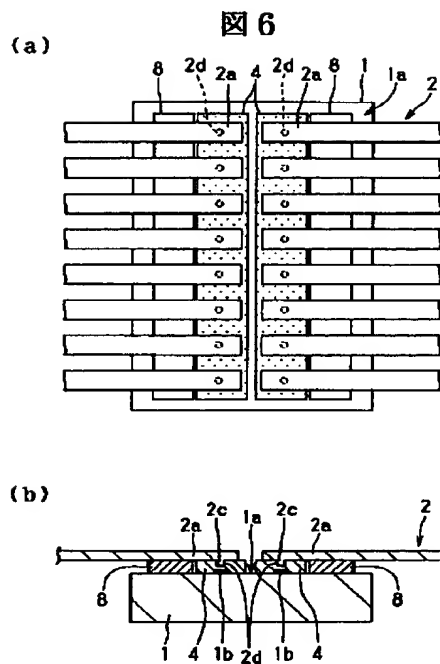


【図10】

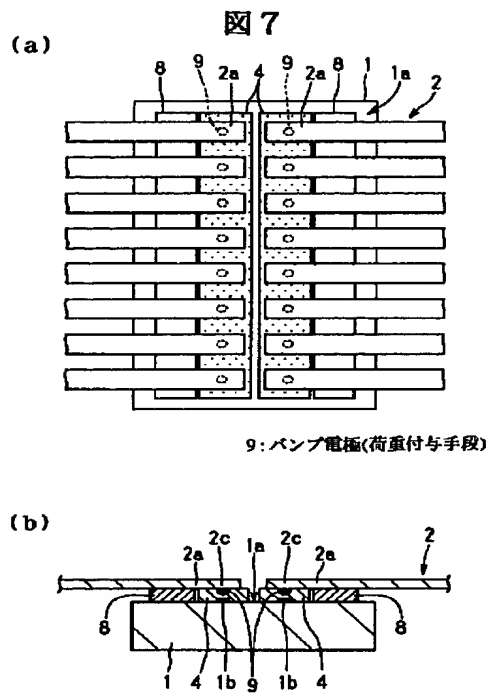
図10



【図6】



【図7】



【図8】

